



## KOREAN PATENT ABSTRACTS

(11)Publication number: 1020020056621 A  
 (43)Date of publication of application: 10.07.2002

(21)Application number: 1020000086012  
 (22)Date of filing: 29.12.2000  
 (30)Priority: ..  
 (51)Int. Cl. G02F 1/13

(71)Applicant: LG.PHILIPS LCD CO., LTD.  
 (72)Inventor: KIM, IK SU

## (54) TEST PAD OF LIQUID CRYSTAL DISPLAY

## (57) Abstract:

PURPOSE: A test pad of a liquid crystal display is provided to reduce the resistance of a shorting bar so as to test a liquid crystal display more accurately. CONSTITUTION: A test pad of a liquid crystal display includes the first and second shorting bars(61a,61b) and a test pad (63). The first shorting bar is connected with odd-numbered data lines among a plurality of data lines. The second shorting bar is connected with even-numbered data lines. The test pad is formed at a pad area of a liquid crystal display panel and applies a signal voltage used for on/off test to the first and second shorting bars. The test pad is composed of the first conductive pattern connected to the first shorting bar, the second conductive pattern connected to the second shorting bars, and a transparent conductive film(69) that electrically connects the first and second conductive patterns to each other.

copyright KIPO 2003

## Legal Status

Date of request for an examination (20051229)  
 Notification date of refusal decision (00000000)  
 Final disposal of an application (registration)  
 Date of final disposal of an application (20070903)  
 Patent registration number (1007691600000)  
 Date of registration (20071016)  
 Number of opposition against the grant of a patent ( )  
 Date of opposition against the grant of a patent (00000000)  
 Number of trial against decision to refuse ( )  
 Date of requesting trial against decision to refuse ( )  
 Date of extinction of right ( )

# (19) 대한민국특허청 (KR) (12) 공개특허공보 (A)

(51) 。 Int. Cl. <sup>7</sup>  
G02F 1/13

(11) 공개번호 특2002 -0056621  
(43) 공개일자 2002년07월10일

(21) 출원번호 10 -2000 -0086012  
(22) 출원일자 2000년12월29일

(71) 출원인 엘지.필립스 엘시디 주식회사  
구본준, 론 위라하디락사  
서울 영등포구 여의도동 20번지

(72) 발명자 김익수  
경기도군포시산본동1148 -4금강주공아파트904동1003호

(74) 대리인 김용인  
삼창법

참사청구 : 없음

## (54) 액정표시장치의 테스트 패드

요약

본 발명은 홀수 번째 데이터 패드에 전기적인 신호를 인가하는 테스트 패드와 짝수 번째 데이터 패드에 전기적인 신호를 인가하는 테스트 패드를 한 곳에 위치시켜 쇼팅 바의 저저항화를 실현함으로써 보다 정확한 테스트가 가능한 액정표시장치의 테스트 패드를 제공하기 위한 것으로, 본 발명의 액정표시장치의 테스트 패드는 셀 영역 및 패드 영역으로 정의된 액정 패널과, 복수의 데이터 배선들 중 홀수번째 데이터 배선들과 연결되는 제 1 쇼팅 바 및 짝수번째 데이터 배선들과 연결되는 제 2 쇼팅 바와, 상기 패드 영역의 어느 한 곳에 형성되며 상기 제 1, 제 2 쇼팅 바에 온/오프 테스트를 위한 신호 전압을 인가하는 테스트 패드를 포함하여 구성된다.

대표도  
도 6

색인어  
쇼팅 바, 테스트 패드

명세서

도면의 간단한 설명

도 1은 일반적인 액정표시장치의 단면도

도 2는 일반적인 액정표시장치의 모듈 구성도

도 3은 종래 기술에 따른 액정표시장치의 테스트 패드 구조를 도시한 평면도

도 4는 도 3의 부분적인 확대 평면도

도 5a는 도 4의 I - I'선에 따른 단면도

도 5b는 도 3의 I - I'선에 따른 단면도

도 6은 본 발명의 제 1 실시시에 따른 액정표시장치의 테스트 패드 구조를 도시한 평면도

도 7a는 도 6의 부분적인 확대 평면도

도 7b는 도 7a의 I - I'선에 따른 단면도

도 8a는 본 발명의 제 2 실시시에 따른 액정표시장치의 테스트 패드 구조를 도시한 평면도

도 8b는 도 8a의 I - I'선에 따른 단면도

도면의 주요부분에 대한 부호의 설명

61a, 81 : 제 1 쇼팅 바 61b, 83 : 제 2 쇼팅 바

61c, 85 : 제 3 쇼팅 바 63 : 제 1 테스트 패드

65 : 제 2 테스트 패드 67 : 제 3 테스트 패드

69 : 투명도전막 89, 89a : 제 1, 제 2 투명도전막

100a, 300a : 기판 101, 301 : 게이트 절연층

102, 302 : 보호막 63a, 81a : 제 1 도전성 패턴

63b, 83a : 제 2 도전성 패턴 85a : 제 3 도전성 패턴

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 디스플레이 장치에 관한 것으로 특히, 액정표시장치의 테스트 패드에 관한 것이다.

현재, 표시장치로써 가장 많이 사용되고 있는 CRT 브라운관은 색상구현이 쉽고, 동작속도가 빨라 TV와 컴퓨터 모니터를 포함한 표시장치로서 각광을 받아 왔다.

그러나, CRT 브라운관은 전력소비가 크고, 전자총과 화면 사이의 거리를 어느 정도 확보해야 하는 구조적 특성으로 인하여 두께가 두꺼울 뿐만 아니라, 게다가 무게도 상당히 무거워 휴대성이 떨어지는 단점이 있다. 이러한 CRT 브라운관의 단점을 극복하고자 여러 가지 다양한 표시장치가 고안되고 있는데, 그 중 가장 실용화되어 있는 장치가 바로 액정표시장치이다.

상기 액정표시장치는 얇은 두께로 제작될 수 있어 장치 벽적이 TV와 같은 초박형(超薄形) 표시장치로 사용될 수 있을 뿐만 아니라, 무게가 가볍고, 전력소비도 CRT 브라운관에 비해 상당히 적어 배터리로 동작하는 노트북 컴퓨터의 디스플레이로 사용되는 등, 차세대 표시장치로서 각광을 받고 있다.

이와 같은 액정표시장치는 도 1에 도시된 바와 같이, 스위칭 소자인 박막트랜지스터가 형성되어 있는 하부 유리 기판(1)과, 컬러 필터(Color Filter)가 형성되어 있는 상부 유리 기판(2) 사이에 액정(3)을 주입하여, 상기 액정의 전기 광학적 특성을 이용하는 것에 의해 영상효과를 얻는 비발광소자이다.

도 1에 도시된 바와 같이, 상기 하부 유리 기판(1) 상에는 TFT 어레이(4)가 구성되고, 상부 유리 기판(2) 상에는 블랙 매트릭스(5) 및 컬러 필터(6) 그리고 공통전극(7) 및 배향막(8)이 차례로 구성된다.

상기 하부 유리 기판(1)과 상부 유리 기판(2)은 에폭시 수지와 같은 씨일재(9)에 의해 합착되며, PCB(10) 상의 구동 회로(11)는 TCP(Tape Carrier Package)(12)를 통해 하부 유리 기판(1)과 연결되어 있다.

상기 TFT 어레이에는 복수개의 게이트 배선 및 데이터 배선 그리고 각 게이트 배선과 데이터 배선의 교차 부위에 스위칭 소자로서 박막트랜지스터(Thin Film Transistor)가 배치된다.

이와 같은 액정표시장치의 모듈은 크게 3개의 유니트(unit)로 구성되는데, 즉, 두 기판 사이에 액정이 주입된 액정 패널과, 상기 액정 패널을 구동하기 위한 드라이버(Driver) 및 각종 회로소자가 부착된 PCB(Printed Circuit Board) 및 백라이트(13)를 포함한 외관 구조물로 구성된다.

도 2는 액정패널 및 상기 액정 패널을 구동하기 위한 드라이버를 중심으로 도시된 모듈 구성도이다.

도 2에 도시된 바와 같이, 크게 액정 패널(21)과, 상기 액정 패널(21)로 게이트 구동신호를 인가하는 게이트 드라이버(23)와, 상기 액정 패널(21)로 신호 데이터를 인가하는 소스 드라이버(25)로 구성된다.

여기서, 상기 게이트 드라이버(23)는 액정 패널(21)에 배치된 복수의 게이트 배선에 순차적으로 주사신호(Scan signal)를 발생하며, 소스 드라이버(25)는 게이트 드라이버(23)가 박막트랜지스터를 턴 -온시키면 데이터 배선을 통해 신호 전달을 인가한다.

상기 액정패널은 복수개의 게이트 배선들과 복수개의 데이터 배선들이 매트릭스 형태로 형성되어 있고, 그 교차점에는 화소 전극과 박막트랜지스터(Thin Film Transistor:이하 TFT)가 형성되어 있으며, 상기 게이트 드라이버(23)로부터 주사신호를 받은 게이트 배선에 연결된 박막트랜지스터가 턴 -온되면 소스 드라이버(25)로부터 신호 전달을 받은 데이터 배선에 연결된 박막트랜지스터를 통해 화소전극으로 전달되어 화상을 디스플레이 하게 된다.

이 때, 상기 게이트 드라이버(23)와 소스 드라이버(25)에서 발생된 신호를 액정 패널에 전달하기 위해서는 상기 액정 패널(21)의 주위에 각각의 게이트 배선으로부터 연장된 게이트 패드들과 각각의 데이터 배선으로부터 연장된 데이터 패드들이 구성되며, 상기 각 게이트 패드들 및 데이터 패드들은 테스트(Test)를 위해 쇼팅 바(Shorting bar)로 연결되어 있는데, 상기 쇼팅 바는 테스트가 완료되면 제거된다.

이때, 상기 테스트는 IPT(In Processing Test)와 박막트랜지스터의 온/오프 테스트로 구분할 수 있는데, 상기 IPT는 하판을 제작한 후 게이트 라인 데이터 라인의 불량, 일예로 라인 디펙트(Line defect), 포인트 디펙트(Point defect) 등의 불량을 테스트하고, 상기 박막트랜지스터의 온/오프 테스트는 하판과 상판을 합착한 후에 최종적으로 박막트랜지스터의 온/오프 불량 여부를 테스트한다.

이하, 종래 기술에 따른 액정표시장치의 테스트 패드 구조를 설명하면 다음과 같다.

도 3은 종래 기술에 따른 테스트 패드 구조를 도시한 평면도이다.

도 3에 도시된 바와 같이, 종래 액정표시장치의 테스트 패드는 복수개의 데이터 패드(Dp1, Dp2, ..., Dpn) 중 홀수(ODD) 번째 데이터 패드들끼리 연결된 제 1 소팅 바(31a)와, 짝수(EVEN) 번째 데이터 패드들끼리 연결된 제 2 소팅 바(31b)와, 상기 제 1 소팅 바(31a)에 테스트를 위한 신호 전압을 인가하는 제 1 테스트 패드(33a)와, 상기 제 1 테스트 패드(33a)와 다른 위치에 형성되며 상기 제 2 소팅 바(31b)에 테스트를 위한 신호 전압을 인가하는 제 2 테스트 패드(33b)로 구성된다.

그리고 복수개의 게이트 패드 중 홀수(ODD) 번째 게이트 패드(Gp1, Gp3, ...)끼리 연결된 제 3 소팅 바(31c)와, 짝수(EVEN) 번째 게이트 패드(Gp2, Gp4, ...)들끼리 연결된 제 4 소팅 바(31d)와, 상기 제 3 소팅 바(31c)로 테스트를 위한 신호 전압을 인가하는 제 3 테스트 패드(33c)와, 상기 제 3 테스트 패드(33c)와 다른 위치에 형성되며 상기 제 4 소팅 바(31d)로 테스트를 위한 신호 전압을 인가하는 제 4 테스트 패드(33d)로 구성된다.

여기서, 상기 각 게이트 패드들은 액정 패널(100)에 배치된 게이트 배선(G1, G2, ..., Gm)들로부터 연장되고, 데이터 패드들은 상기 게이트 배선과 교차 배치된 데이터 배선(D1, D2, ..., Dn)들로부터 연장된다.

도 4는 도 3에 도시된 제 1 테스트 패드를 확대하여 도시한 평면도이고, 도 5a는 도 4의 I - I'선에 따른 단면도이다.

도 4 및 도 5a에 도시된 바와 같이, 기관(100a)과, 상기 기관(100a) 상에 형성된 게이트 절연층(101)과, 상기 게이트 절연층(101) 상에 형성되며, 홀수번째 데이터 패드들과 연결된 제 1 소팅 바(31a)와 전기적으로 연결되는 제 1 테스트 패드(33a)와, 상기 제 1 테스트 패드(33a)를 포함한 전면에 형성되며 상기 제 1 테스트 패드(33a)의 소정부위가 노출되도록 접속홀을 갖는 보호막(102)과, 상기 보호막(102)의 접속홀을 통해 상기 제 1 테스트 패드(33a)와 전기적으로 연결되는 투명도전막(37)으로 구성된다.

여기서, 도 4의 미설명 부호 "31b"는 짝수 번째 데이터 패드들끼리 연결된 제 2 소팅 바를 지시한다.

한편, 도 5b는 도 3의 I - I'선에 따른 단면도로서, 게이트쪽 패드인 제 3 테스트 패드를 도시한 것이다.

도 5b에 도시된 바와 같이, 기관(100a)과, 상기 기관(100a) 상에 형성된 제 3 테스트 패드(33c)와, 상기 제 3 테스트 패드(33c)를 포함한 전면에 형성된 게이트 절연층(101)과, 상기 게이트 절연층(101) 상에 형성된 보호막(102)과, 상기 보호막(102) 및 게이트 절연층(101)을 관통하여 상기 제 3 테스트 패드(33c)와 전기적으로 연결되는 투명도전막(37)으로 구성된다.

이와 같은 종래 액정표시장치의 테스트 패드 구조는 홀수번째 데이터 패드들과 연결된 제 1 소팅 바(31a)에 테스트를 위한 신호 전압을 인가하는 제 1 테스트 패드(33a)와, 짝수번째 데이터 패드들과 연결된 제 2 소팅 바(31b)에 신호 전압을 인가하는 제 2 테스트 패드(33b)가 서로 다른 위치에 구성되고, 마찬가지로 상기 홀수번째 게이트 패드들과 연결된 제 3 소팅 바(31c)에 테스트를 위한 신호 전압을 인가하는 제 3 테스트 패드(33c)와 짝수번째 게이트 패드들과 연결된 제 4 소팅 바(31d)에 신호 전압을 인가하는 제 4 테스트 패드(33d)가 서로 다른 위치에 구성된다.

이와 같이, 종래 액정표시장치의 테스트 패드 구조는 하판을 제작한 후 IPT를 실시하여 라인 불량(Line defect), 포인트 불량(Point defect) 등의 불량을 체크하고, 하판과 상판을 합착한 후 박막트랜지스터의 온/오프 테스트를 실시하여 액정 패널의 양, 부를 관경하게 된다.

## 발명이 이루고자 하는 기술적 과제

그러나 상기와 같은 종래 액정표시장치의 테스트 패드는 다음과 같은 문제점이 있었다.

게이트쪽 및 데이터쪽 테스트 패드를 구성함에 있어서, 박막트랜지스터 온/오프 테스트시, 홀수번째 데이터 패드(또는 게이트 패드)에 테스트용 신호 전압을 인가하는 테스트 패드와 짝수번째 데이터 패드(또는 게이트 패드)에 테스트용 신호 전압을 인가하는 테스트 패드가 서로 다른 위치에 존재하게 되므로 테스트시 쇼팅 바의 저항값이 매우 높다.

특히, 고해상도로 갈수록 테스트 패드의 면적이 점점 작아지게 되는데, 종래의 구조에서는 테스트 패드를 서로 다른 위치에 구성함에 따라 그들과 연결된 쇼팅 바의 저항은 점차적으로 커지게 되어 결국, 쇼팅 바의 폭을 증가시켜 주어야 하는 추가적인 문제를 수반한다.

본 발명은 상기한 종래 기술의 문제점을 해결하기 위해 안출한 것으로 홀수 번째 데이터 패드에 전기적인 신호를 인가하는 테스트 패드와 짝수 번째 데이터 패드에 전기적인 신호를 인가하는 테스트 패드를 한 곳에 위치시켜 쇼팅 바의 저항화를 실현함으로써 보다 정확한 테스트가 가능한 액정표시장치의 테스트 패드를 제공하는데 그 목적이 있다.

## 발명의 구성 및 작용

상기의 목적을 달성하기 위한 본 발명의 액정표시장치의 테스트 패드는 셀 영역 및 패드 영역으로 정의된 액정 패널과, 복수의 데이터 패드들 중 홀수번째 데이터 배선들과 연결되는 제 1 쇼팅 바 및 짝수번째 데이터 배선들과 연결되는 제 2 쇼팅 바와, 상기 패드 영역의 어느 한 곳에 형성되며 상기 제 1, 제 2 쇼팅 바에 온/오프 테스트를 위한 신호 전압을 인가하는 테스트 패드를 포함하여 구성된다.

그리고 본 발명의 다른 실시예에 따른 액정표시장치의 테스트 패드는 셀 영역 및 패드 영역으로 정의된 액정 패널과, 복수의 데이터 패드들 중 제 1 색을 구동하기 위한 데이터 패드들과 연결된 제 1 쇼팅 바과, 제 2 색을 구동하기 위한 데이터 패드들과 연결된 제 2 쇼팅 바와, 제 3 색을 구동하기 위한 데이터 패드들과 연결된 제 3 쇼팅 바와, 상기 패드 영역의 어느 한 곳에 형성되며 상기 제 1, 제 2 쇼팅 바 및 제 3 쇼팅 바에 온/오프 테스트를 위한 신호 전압을 인가하는 테스트 패드를 포함하여 구성된다.

이와 같은 본 발명의 액정표시장치의 테스트 패드는 데이터쪽 쇼팅 바에 온/오프 테스트를 위한 신호 전압을 인가할 때, 상기 신호 전압을 인가하기 위한 테스트 패드를 패드 영역의 어느 한 곳에 형성함으로써, 쇼팅 바의 저항값을 최소화할 수 있다.

통상, 상기 쇼팅 바의 저항값은 액정 패널이 고해상도로 갈수록 더욱 심화되어 쇼팅 바의 폭을 넓혀주지 않으면 안되지만, 본 발명의 테스트 패드를 이용할 경우, 쇼팅 바의 폭을 넓히지 않고도 쇼팅 바의 저항값을 감소시킬 수 있다.

이하, 본 발명의 액정표시장치의 테스트 패드를 첨부한 도면을 참조하여 설명하면 다음과 같다.

도 6은 본 발명의 제 1 실시예에 따른 액정표시장치의 테스트 패드 평면도이다.

도 6에 도시한 바와 같이, 복수개의 데이터 패드(Dp1, Dp2, ..., Dpn) 중 홀수(ODD) 번째 데이터 패드(Dp1, Dp3, ...)들끼리 연결된 제 1 쇼팅 바(61a)와, 짝수(EVEN) 번째 데이터 패드(Dp2, Dp4, ...)들끼리 연결된 제 2 쇼팅 바(61b)와, 패드 영역의 어느 한 영역에 형성되며 상기 제 1 쇼팅 바(61a) 및 상기 제 2 쇼팅 바(61b)에 박막트랜지스터의 온/오프 테스트를 위한 신호 전압을 인가하는 제 1 테스트 패드(63)를 포함하여 구성된다.

한편, 게이트쪽 테스트 패드는 종래와 동일한 구조를 갖는다.

즉, 복수개의 게이트 패드들 중 홀수번째 게이트 패드(Gp1, Gp3,...)들과 연결된 제 3 쇼팅 바(61c)와, 짝수번째 게이트 패드(Gp2, Gp4,...)들과 연결된 제 4 쇼팅 바(61d)와, 패드 영역의 서로 다른 위치에 형성되며 상기 제 3 쇼팅 바(61d)에 온/오프 테스트를 위한 신호 전압을 인가하는 제 2 테스트 패드(65)와, 상기 제 4 쇼팅 바(61d)에 신호 전압을 인가하는 제 3 테스트 패드(67)로 구성된다.

여기서, 상기 데이터쪽 테스트 패드는 종래와는 달리 패드 영역의 어느 한 곳에만 형성되는 반면에, 게이트쪽 테스트 패드는 종래와 마찬가지로 서로 다른 위치에 형성하였는데, 이는 박막트랜지스터의 온/오프 테스트시에는 반드시 홀수번째 게이트 배선과 짝수번째 게이트 배선을 독립적으로 동작시켜야 하기 때문이다.

즉, 하판을 형성한 후 실시하는 IPT시에는 홀수번째 게이트 배선과 짝수번째 게이트 배선을 독립적으로 동작시키지 않아도 테스트에는 문제가 없으나, 하판과 상판을 합착한 후에 실시하는 박막트랜지스터의 온/오프 테스트시에는 반드시 홀수번째 게이트 배선과 짝수번째 게이트 배선을 독립적으로 동작시켜야 하므로 게이트쪽 테스트 패드인 제 2 테스트 패드(65)와 제 3 테스트 패드(67)는 독립적으로 해당 쇼팅 바에 신호 전압을 인가하여야 하기 때문에 서로 다른 위치에 형성한다.

한편, 도 7a는 도 6의 제 1 테스트 패드를 보다 확대 도시한 것이고, 도 7b는 도 7a의 I - I'선에 따른 단면도이다.

도 7a 및 7b에 도시한 바와 같이, 제 1 테스트 패드(63)는 기관(200a)과, 상기 기관(200a) 상에 형성되며 상기 제 1 쇼팅 바(61a)와 연결되는 제 1 도전성 패턴(63a)과, 상기 제 1 도전성 패턴(63a)을 포함한 기관(200a) 전면에 형성된 게이트 절연층(201)과, 상기 게이트 절연층(201) 상의 상기 제 1 도전성 패턴(63a)의 일측에 형성되며 상기 제 2 쇼팅 바(61b)와 연결되는 제 2 도전성 패턴(63b)과, 상기 제 2 도전성 패턴(63b)을 포함한 전면에 형성되며 상기 제 1 도전성 패턴(63a) 및 제 2 도전성 패턴(63b)이 노출되도록 접속홀을 갖는 보호막(202)과, 상기 접속홀을 통해 제 1 도전성 패턴(63a)과 제 2 도전성 패턴(63b)을 전기적으로 연결하는 투명도전막(69)으로 구성된다.

상기 투명도전막(69)은 도면에는 도시되지 않았지만, TCP(Tape Carrier Package)와 연결된다.

이때, 상기 제 1 쇼팅 바(61a) 및 제 1 도전성 패턴(63a)은 게이트 배선과 동일 물질로 형성하며, 상기 제 2 쇼팅 바(61b) 및 제 2 도전성 패턴(63b)은 데이터 배선과 동일 물질로 형성한다. 따라서, 제 1 쇼팅 바(61a)와 제 2 쇼팅 바(61b)는 게이트 절연층(201)을 사이에 두고 위치하며, 마찬가지로 상기 제 1 도전성 패턴(63a)과 제 2 도전성 패턴(63b)도 게이트 절연층(201)을 사이에 두고 위치한다.

도면으로부터 알 수 있듯이, 제 1 테스트 패드(63)는 투명도전막(69)에 의해 제 1 도전성 패턴(63a)과 제 2 도전성 패턴(63b)이 전기적으로 연결되어 온/오프 테스트를 위한 신호 전압은 홀수번째 데이터 배선들과 연결된 제 1 쇼팅 바(61a)와 짝수번째 데이터 배선들과 연결된 제 2 쇼팅 바(61b)에 동일한 신호 전압이 인가됨을 알 수 있다.

이와 같이, 온/오프 테스트시 제 1 쇼팅 바(61a)와 제 2 쇼팅 바(61b)가 투명도전막(69)에 의해 서로 연결되어 쇼팅 바의 저항값이 작아지는 효과를 얻을 수 있으며, 설계 및 제조공정의 여유도를 확보할 수 있다.

특히 TFT-LCD가 고해상도로 갈수록 온/오프 테스트를 위한 테스트 패드의 면적이 점점 작아지게 되는데, 온/오프 테스트시 제 1 쇼팅 바(61a)와 제 2 쇼팅 바(61b)를 전기적으로 쇼트시키는 본 발명의 테스트 패드 구조를 이용할 경우, 쇼팅 바의 저항을 작게할 수 있으므로 쇼팅 바의 폭을 넓어 줄 필요가 없다.

한편, 도 8a는 본 발명의 제 2 실시예에 따른 액정표시장치의 테스트 패드 구조를 도시한 평면도로서, 데이터쪽 테스트 패드를 도시한 것이다.

본 발명의 제 2 실시예는 데이터쪽 테스트 패드를 적(R), 녹(G), 청(B)의 1화소 단위로 구분한 것으로, 쇼팅 바도 적색(R) 구동을 위한 데이터 패드들끼리 연결된 제 1 쇼팅 바(81)와, 녹색(G) 구동을 위한 데이터 패드들끼리 연결된 제 2 쇼팅 바(83)와, 청색(B) 구동을 위한 데이터 패드들끼리 연결된 제 3 쇼팅 바(85)로 분리한다.

그리고 제 1 쇼팅 바(81)에는 제 1 도전성 패턴(81a)의 일측이 연결되고, 제 2 쇼팅 바(83)에는 제 2 도전성 패턴(83a)의 일측이 연결되며 제 3 쇼팅 바(85)에는 제 3 도전성 패턴(85a)의 일측이 연결된다.

상기 제 1, 제 2 도전성 패턴(81a,83a) 및 제 3 도전성 패턴(85a)의 다른 측은 패시베이션(Passivation) 공정이 완료된 후, 제 1 투명도전막(89)에 의해 전기적으로 연결된다.

여기서, 상기 제 1 쇼팅 바(81)와 제 3 쇼팅 바(85)는 게이트 배선과 동일 물질로 형성되며, 상기 제 2 쇼팅 바(83)는 데이터 배선과 동일 물질로 형성된다. 그리고 상기 제 1 도전성 패턴(81a)은 제 1 쇼팅 바(81)와 동일 물질이고, 제 2 도전성 패턴(83a)과 제 3 도전성 패턴(85a)은 제 2 쇼팅 바(83)와 동일 물질로 형성된다.

따라서, 제 1 쇼팅 바(81)와 연결되는 제 1 도전성 패턴(81a)은 기판(300a) 상에서 게이트 배선 및 제 1 쇼팅 바(81)와 동일층에 형성되며, 상기 제 2 쇼팅 바(83)와 연결되는 제 2 도전성 패턴(83a)은 게이트 절연층(301) 상에서 데이터 배선 및 제 2 쇼팅 바(83)와 동일층에 형성된다. 그러나 상기 제 3 쇼팅 바(85)와 제 3 도전성 패턴(85a)은 게이트 절연층(301)을 사이에 두고 위치하기 때문에 적어도 제 3 쇼팅 바(85)와 제 1 쇼팅 바(81)가 전기적으로 연결되지 않는 범위 내에서 제 2 투명도전막(89a)에 의해 전기적으로 연결된다.

상기 제 2 투명도전막(89a)을 이용하여 제 3 도전성 패턴(85a)과 제 3 쇼팅 바(85)를 연결하는 이유는 온/오프 테스트 이외에 다른 테스트를 위해서는 상기 각 쇼팅 바(81,83,85)가 전기적으로 절연된 상태로 존재하여야 하기 때문이며, 만일 제 2 쇼팅 바(83)와 동일층에 형성되는 제 3 도전성 패턴(85a)이 상기 제 2 쇼팅 바(83)를 가로질러 제 3 쇼팅 바(85)와 연결될 경우에는 제 2 쇼팅 바(83)와 제 3 도전성 패턴(85a)이 직접적으로 연결된 상태가 되므로 온/오프 테스트 이외에는 다른 테스트를 할 수 없기 때문이다.

도 8b는 도 8a의 I - I'선에 따른 단면도로서, 기판(300a) 상에 제 1 도전성 패턴(81a)이 형성되고, 상기 제 1 도전성 패턴(81a)을 포함한 전면에 제 2 도전성 패턴(83a)이 형성되며, 상기 제 2 도전성 패턴(83a)의 일측에 제 3 도전성 패턴(85a)이 형성된다.

상기 제 3 도전성 패턴(85a)을 포함한 전면에는 보호막(302)이 형성되는데, 상기 보호막(302)은 상기 제 1, 제 2 도전성 패턴(81a,83a) 및 제 3 도전성 패턴(85a)의 소정부위가 노출되도록 접속홀을 가지며, 상기 제 1, 제 2 도전성 패턴(81a,83a) 및 제 3 도전성 패턴(85a)은 상기 접속홀을 통해 연결되는 제 1 투명도전막(89)에 의해 전기적으로 연결된다.

이와 같이, 본 발명의 제 2 실시예에서는 R, G, B별로 쇼팅 바를 구성하여 각 쇼팅 바에 온/오프 테스트를 위한 신호 전압을 인가하는 테스트 패드를 패드 영역의 어느 한 곳에 형성하여 쇼팅 바의 저항값을 감소시킨다.

#### 발명의 효과

이상 상술한 바와 같이, 본 발명의 액정표시장치의 테스트 패드는 하판과 상판을 합착한 후 실시하는 온/오프 테스트시, 데이터쪽 쇼팅 바에 테스트를 위한 신호 전압을 인가하는 테스트 패드를 패드 영역의 어느 한 곳에 형성함으로써, 쇼팅 바의 저항을 감소시킬 수 있다. 따라서 테스트에 따른 신뢰성 확보를 통해 보다 정확한 양, 부 판정이 가능하다.

또한 고해상도로 갈수록 테스트 패드의 면적이 작아지는 추세에 비추어 볼 때, 쇼팅 바의 폭을 넓게 할 필요가 없어지므로 설계 및 공정 상의 마진(Margin) 확보가 가능하다.



(57) 청구의 범위

청구항 1.

셀 영역 및 패드 영역으로 정의된 액정 패널;

복수의 데이터 배선들 중 홀수번째 데이터 배선들과 연결되는 제 1 쇼팅 바 및 짝수번째 데이터 배선들과 연결되는 제 2 쇼팅 바,

상기 패드 영역의 어느 한 곳에 형성되며 상기 제 1, 제 2 쇼팅 바에 온/오프 테스트를 위한 신호 전압을 인가하는 테스트 패드를 포함하여 구성되는 것을 특징으로 하는 액정표시장치의 테스트 패드.

청구항 2.

제 1 항에 있어서, 상기 테스트 패드는 상기 제 1 쇼팅 바에 연결된 제 1 도전성 패턴과,

상기 제 2 쇼팅 바에 연결된 제 2 도전성 패턴과,

상기 제 1 도전성 패턴과 제 2 도전성 패턴을 전기적으로 연결하는 투명도전막을 포함하여 구성되는 것을 특징으로 하는 액정표시장치의 테스트 패드.

청구항 3.

제 2 항에 있어서, 상기 제 1 도전성 패턴과 제 2 도전성 패턴은 게이트 절연층을 사이에 두고 위치하는 것을 특징으로 하는 액정표시장치의 테스트 패드.

청구항 4.

제 3 항에 있어서, 상기 제 1 도전성 패턴은 기판 상에 형성되고, 상기 제 2 도전성 패턴은 게이트 절연층 상에 형성되는 것을 특징으로 하는 액정표시장치의 테스트 패드.

청구항 5.

제 2 항에 있어서, 상기 제 2 도전성 패턴을 포함한 전면에 형성되며 상기 제 1 도전성 패턴 및 제 2 도전성 패턴의 소정부위가 노출되도록 절속홀을 갖는 보호막을 더 포함하는 것을 특징으로 하는 액정표시장치의 테스트 패드.

청구항 6.

제 1 항에 있어서, 상기 제 1 쇼팅 바와 상기 제 2 쇼팅 바는 게이트 절연층을 사이에 두고 위치하는 것을 특징으로 하는 액정표시장치의 테스트 패드.

청구항 7.

제 6 항에 있어서, 상기 제 1 쇼팅 바는 상기 제 1 도전성 패턴과 동일층에 위치하고, 상기 제 2 쇼팅 바는 상기 제 2 도전성 패턴과 동일층에 위치하는 것을 특징으로 하는 액정표시장치의 테스트 패드.

청구항 8.

제 1 항에 있어서, 복수개의 게이트 패드들 중 홀수번째 게이트 패드들과 연결된 제 3 쇼팅 바 및 짝수번째 게이트 패드들과 연결된 제 4 쇼팅 바를 더 포함하여 구성되는 것을 특징으로 하는 액정표시장치의 테스트패드.

청구항 9.

제 8 항에 있어서, 상기 제 3 쇼팅 바에 테스트를 위한 신호 전압을 인가하는 테스트 패드와 상기 제 4 쇼팅 바에 테스트를 위한 신호 전압을 인가하는 테스트 패드가 상기 패드 영역에서 서로 다른 위치에 형성된 것을 특징으로 하는 액정 표시장치의 테스트 패드.

청구항 10.

셀 영역 및 패드 영역으로 정의된 액정 패널;

복수개의 데이터 패드들 중 제 1 색을 구동하기 위한 데이터 패드들과 연결된 제 1 쇼팅 바;

제 2 색을 구동하기 위한 데이터 패드들과 연결된 제 2 쇼팅 바;

제 3 색을 구동하기 위한 데이터 패드들과 연결된 제 3 쇼팅 바;

상기 패드 영역의 어느 한 곳에 형성되며 상기 제 1, 제 2 쇼팅 바 및 제 3 쇼팅 바에 온/오프 테스트를 위한 신호 전압을 인가하는 테스트 패드를 포함하여 구성되는 것을 특징으로 하는 액정표시장치의 테스트 패드.

청구항 11.

제 10 항에 있어서, 상기 테스트 패드는 상기 제 1 쇼팅 바와 연결되는 제 1 도전성 패턴과,

상기 제 2 쇼팅 바와 연결된 제 2 도전성 패턴과,

상기 제 3 쇼팅 바와 연결된 제 3 도전성 패턴과,

상기 제 1, 제 2 쇼팅 바 및 제 3 쇼팅 바를 전기적으로 연결하는 투명도전막을 포함하여 구성되는 것을 특징으로 하는 액정표시장치의 테스트 패드.

청구항 12.

제 10 항에 있어서, 상기 제 1, 제 3 쇼팅 바와 상기 제 2 쇼팅 바는 게이트 절연층을 사이에 두고 위치하는 것을 특징으로 하는 액정표시장치의 테스트 패드.

청구항 13.

제 11 항에 있어서, 상기 제 1 도전성 패턴과 상기 제 2, 제 3 도전성 패턴은 게이트 절연층을 사이에 두고 위치하는 것을 특징으로 하는 액정표시장치의 테스트 패드.

청구항 14.

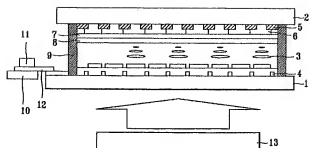
제 11 항에 있어서, 상기 제 3 도전성 패턴을 포함한 전면에 형성되며 상기 제 1, 제 2 도전성 패턴 및 상기 제 3 도전성 패턴의 소정부위가 노출되도록 접속을 갖는 보호막을 더 포함하는 것을 특징으로 하는 액정표시장치의 테스트 패드.

청구항 15.

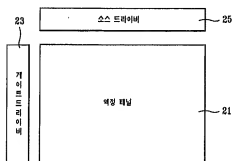
제 11 항에 있어서, 상기 제 3 도전성 패턴은 상기 보호막 및 게이트 절연층을 관통하는 투명도전막에 의해 상기 제 3 쇼팅 바와 전기적으로 연결되는 것을 특징으로 하는 액정표시장치의 테스트 패드.

도면

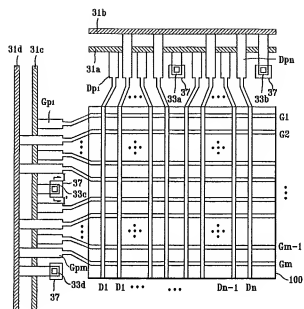
도면 1



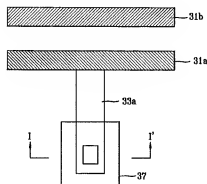
도면 2



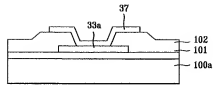
도면 3



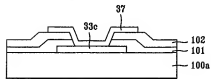
도면 4



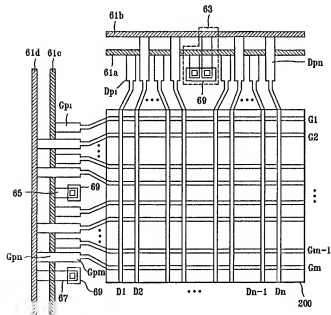
도면 5a



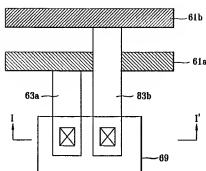
도면 5b



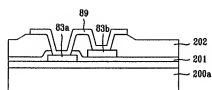
도면 6



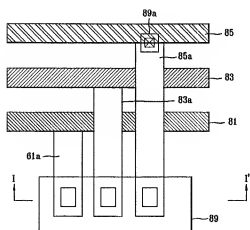
도면 7a



도면 7b



도면 8a



도면 8b

